

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

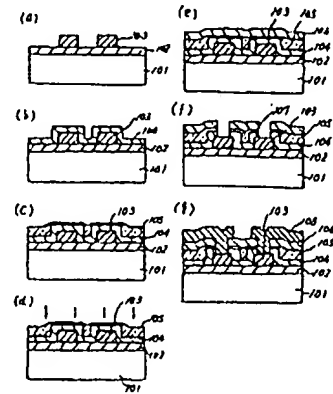
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

#### (54) FORMING METHOD OF SEMICONDUCTOR DEVICE MULTILAYER INTERCONNECTION INTERLAMINAR INSULATING FILM

(11) 4-234149 (A) (43) 21.8.1992 (19) JP  
 (21) Appl. No. 2-418464 (22) 28.12.1990  
 (71) NEC CORP (72) TETSUYA HONMA  
 (51) Int. Cl.<sup>5</sup> H01L21/90

**PURPOSE:** To enable a semiconductor device possessed of a multilayer interconnection structure to be enhanced in manufacturing yield and reliability.

**CONSTITUTION:** A silicon oxide film 104 is formed through a chemical vapor growth method or a sputtering method on a semiconductor substrate 101 where a first semiconductor layer has been formed, a solution whose main component is polymer of at least either silanol [ $\text{Si}(\text{OH})_n$ ] or alkoxysilane [ $\text{Si}(\text{OR})_n$ , R: alkyl group] is applied through a spin coating method to form a spin-on-glass film 105, which is thermally treated at a temperature of 200°C or below, in succession fluorine ions are implanted into the spin-on-glass film 105 concerned through an ion implantation method, the film 105 is thermally treated at a temperature of 300-450°C, and a silicon oxide film 106 is formed through a chemical vapor growth method or a sputtering method.

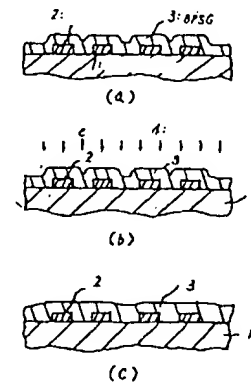


#### (54) FLATTENING METHOD OF LAYER-INSULATING FILM

(11) 4-234150 (A) (43) 21.8.1992 (19) JP  
 (21) Appl. No. 2-418447 (22) 28.12.1990  
 (71) NEC CORP (72) HIROMITSU NAMITA  
 (51) Int. Cl.<sup>5</sup> H01L21/90, H01L21/263, H01L21/268, H01L21/302

**PURPOSE:** To form a layer-insulating film high enough in flatness through such a process where impurities are prevented from diffusing so as not to affect even a fine element.

**CONSTITUTION:** A BPSG film 3 is thermally treated by an electron beam 4. As an electron beam is used as a heating means, a BPSG film can be directly and locally heated for a short time, in result an element region is hardly increased in temperature, and impurities are scarcely diffused.



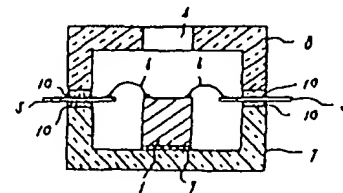
2: polysilicon film

#### (54) SEMICONDUCTOR DEVICE HOLLOW PACKAGE

(11) 4-234151 (A) (43) 21.8.1992 (19) JP  
 (21) Appl. No. 2-417246 (22) 28.12.1990  
 (71) MITSUBISHI ELECTRIC CORP (72) TETSUYA HIROSE  
 (51) Int. Cl.<sup>5</sup> H01L23/08

**PURPOSE:** To obtain a semiconductor device hollow package which is low in cost and high in productivity.

**CONSTITUTION:** A semiconductor 1 and other inserts are enveloped in a base 7 and a cap 8 both formed of thermoplastic resin, and the base 7 and the cap 8 are bonded together through the intermediary of a thermosetting resin 10 to constitute a package. As both a base and a cap are formed of thermoplastic resin, a package can be lessened in cost, and they are bonded together with thermosetting resin, so that the package concerned can be enhanced in workability and productivity.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-234149

(43) 公開日 平成4年(1992)8月21日

(51) Int.Cl.<sup>a</sup>

H 0 1 L 21/90

識別記号

庁内整理番号

F I

技術表示箇所

P 7353-4M

Q 7353-4M

K 7353-4M

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平2-418464

(22) 出願日 平成2年(1990)12月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本間 哲哉

東京都港区芝五丁目7番1号 日本電気株式会社内

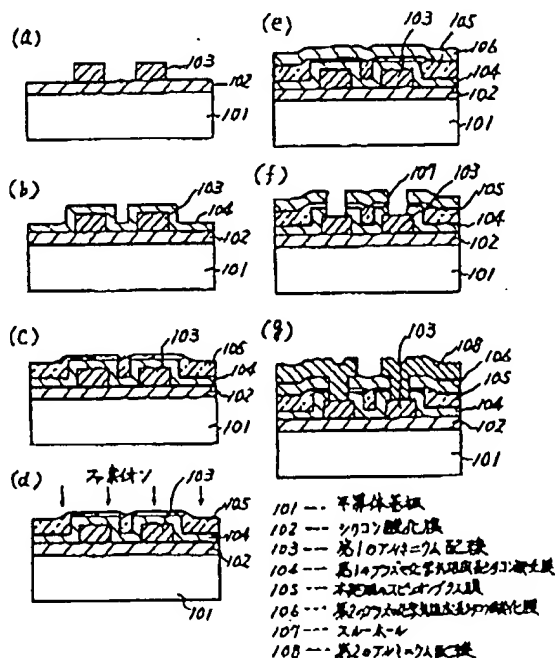
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置の多層配線層間絶縁膜の形成方法

(57) 【要約】

【目的】 多層配線構造体を有する半導体装置の製造歩留り、信頼性を向上させる。

【構成】 第1の半導体層が形成された半導体基板101上に、化学気相成長法又はスパッタ法によりシリコン酸化膜104を形成し、シラノール ( $\text{Si}(\text{OH})_4$ ) 又は、アルコキシシラン ( $\text{Si}(\text{OR})_4$ , R:アルキル基) のうちの少なくとも1つからなる重合体を主成分とする溶液をスピコート法によってスピニングガラス膜105を形成し、次いで200℃以下の温度で熱処理し、続いてイオン注入法によって該スピニングガラス膜中にフッ素イオンを注入させて300~450℃の温度で熱処理させ、化学気相成長法又はスパッタ法によりシリコン酸化膜106を形成する。



## 【特許請求の範囲】

【請求項1】 第1の導体層が形成された半導体基板上に化学気相成長法又はスパッタ法により第1の絶縁膜を形成する工程と、シラノール ( $\text{Si}(\text{OH})_4$ ) 又は、アルコキシシラン ( $\text{Si}(\text{OR})_4$ , R:アルキル基) のうち少なくとも1つからなる集合体を主成分とする溶液をスピコート法によってスピニングガラス膜を形成する工程と、200℃以下の温度で熱処理せしめる工程と、イオン注入法によって該スピニングガラス膜中にフッ素イオンを注入せしめる工程と、300~450℃の温度で熱処理せしめる工程と、化学気相成長法又は、スパッタ法により第2の絶縁膜を形成する工程とを有することを特徴とする半導体装置の多層配線層間絶縁膜の形成方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に多層配線層間絶縁膜の形成方法に関する。

【0002】

【従来の技術】 従来、この種の多層配線層間絶縁膜は、以下のように形成されていた。すなわち、図2に示すように、半導体基板201上に第1層目のAl配線層202を形成した後、第1の層間絶縁膜(CVD-SiO<sub>2</sub>膜)203、スピニングガラス膜204、第2の層間絶縁膜205を順次形成し、3層構造の絶縁膜を層間絶縁膜として用いる。次に、所定の位置に開孔を形成した後、第2層目のAl配線層206を形成する。以上の方法によって2層アルミニウム配線構造体が形成される(特開昭57-100748号参照)。

【0003】

【発明が解決しようとする課題】 上述した従来の多層配線層間絶縁膜の形成方法は以下のような問題点があった。すなわち、従来のスピニングガラス膜は凹凸の大きい半導体基板上に、0.2μm以上の厚さに形成すると、300℃以上の熱処理時の体積収縮により、亀裂が生じてしまうために、厚膜を形成することが難しく、したがって充分平坦な層間絶縁膜の形成が難しい。

【0004】 さらに、従来のスピニングガラス膜は吸湿性が高いことが知られており、第2層目の配線層を形成するための金属膜スパッタ時にスピニングガラス膜に含有された水分が、スルーホール側壁のスピニングガラス膜から放出され、スルーホール底部の第1層目配線の表面を酸化してしまい、電気的導通をとることが難しい。

【0005】 また、従来のスピニングガラス膜は300~400℃の低温で焼成した場合には、その膜質が悪いために電気的特性に劣るという欠点がある。

【0006】 本発明の目的は、前記目的を解消した半導体装置の多層配線層間絶縁膜の形成方法を提供することにある。

【0007】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る半導体装置の多層配線層間絶縁膜の形成方法においては、第1の導体層が形成された半導体基板上に化学気相成長法又はスパッタ法により第1の絶縁膜を形成する工程と、シラノール ( $\text{Si}(\text{OH})_4$ ) 又は、アルコキシシラン ( $\text{Si}(\text{OR})_4$ , R:アルキル基) のうち少なくとも1つからなる集合体を主成分とする溶液をスピコート法によってスピニングガラス膜を形成する工程と、200℃以下の温度で熱処理せしめる工程と、イオン注入法によって該スピニングガラス膜中にフッ素イオンを注入せしめる工程と、300~450℃の温度で熱処理せしめる工程と、化学気相成長法又は、スパッタ法により第2の絶縁膜を形成する工程とを有するものである。

【0008】

【作用】 スピニングガラス膜にフッ素を含有させることによって、亀裂を発生させることなく厚いスピニングガラス膜を形成する。また、スピニングガラス膜中にフッ素を含有させることにより、吸湿量を抑える。

【0009】

【実施例】 次に、本発明について図面を参照して説明する。本実施例では、テトラエトキシシラン(化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) の重合体を主成分として用い、溶媒としてエチルアルコールを用いた。溶液中の固形分濃度は12重量%とした。図1は、本発明に基づく実施例である2層アルミニウム配線構造体に用いる層間絶縁膜の形成方法を示す工程断面図である。図1(a)に示すように、シリコン酸化膜102を介して厚さ約1μmの第1のアルミニウム配線103が形成された半導体基板101上に、同図(b)に示すように厚さ約0.3μmのプラズマ化学気相成長シリコン酸化膜104を形成する。次に本発明に基づく塗布溶液を4000回転で20秒間、回転塗布法により塗布し、150℃の温度で、窒素ガス雰囲気内のオープン内で30分間ベークし、約0.45μmのスピニングガラス膜105を形成する(図1(c))。次に同図(d)に示すように、イオンソースとして3フッ化ホウ素( $\text{BF}_3$ )を用い、エネルギー150KeV、注入量  $5 \times 10^{16} / \text{cm}^2$  なる条件でフッ素イオン(F(プラス))を該スピニングガラス膜中に注入した後、400℃の温度で30分間、窒素ガス雰囲気内の電気炉内で焼成し、厚さ約0.4μmのフッ素含有スピニングガラス膜を形成する。続いて、同図(e)に示すように、厚さ約0.4μmの第2のプラズマ化学気相成長シリコン酸化膜106を形成する。上記の(b)~(e)の工程によって、層間絶縁膜が形成される。次に、同図(f)に示すようにスルーホール107を形成した後、第2のアルミニウム配線108を形成する。以上の工程によって同図(g)に示すように2層アルミニウム配線が形成される。

50 【0010】 形成した2層アルミニウム配線において、

3

層間絶縁膜、特にスピノングラス膜に亀裂の発生は全くないものであった。また、直径1 $\mu$ mのスルーホール  
の接続抵抗は、1個当たり約120m $\Omega$ （配線抵抗を含む）であり、従来法で形成した場合の接続抵抗（150  
～200m $\Omega$ ）に比べて小さいものであった。また、歩  
留りについては、従来法で形成した場合に比べて30%  
以上大きいものであった。

【0011】また、シリコン基板上に本発明に基づく厚  
さ約0.4 $\mu$ mのスピノングラス膜を同様な方法で形  
成し、面積1mm<sup>2</sup>のアルミニウム電極を形成し、電気  
的特性を調べた。本発明に基づくスピノングラス膜の  
リーク電流密度は、5V印加時に、約5 $\times 10^{-9}$ A/cm<sup>2</sup>であり、これは、従来のスピノングラス膜のリー  
ク電流密度（約1 $\times 10^{-9}$ A/cm<sup>2</sup>）よりも2桁以上  
小さいものであった。

【0012】本実施例では、配線材料としてアルミニウ  
ムを用いているが、アルミニウム合金、タングステン、  
モリブデン、金、銅、金属シリサイド、又はポリシリコ  
ンあるいはこれらの組合せによる配線でも良い。

【0013】また、本発明に基づくスピノングラス膜  
の上下層には、プラズマ化学気相成長シリコン酸化膜を  
形成しているが、これらは化学気相成長法によるシリコ  
ン酸化膜、シリコン酸化窒化膜、あるいはスパッタ法に  
よるシリコン酸化膜、シリコン窒化膜、シリコン酸化窒  
化膜、あるいはこれらの組合せによる絶縁膜でもよい。

【0014】また、イオン注入で用いるイオンソースと  
しては、フッ素イオン、F（プラス）あるいはF<sub>2</sub>（プ  
ラス）を生成するものであれば何でも良く、注入エネル

4

ギー、注入量についてはスピノングラス膜の厚さに応  
じて変化させることができる。

【0015】

【発明の効果】以上説明したように本発明は、フッ素を  
含有せしめることによって亀裂の発生なしに厚いスピ  
ノングラス膜の形成が可能となり、層間絶縁膜の平坦性  
は著しく改善され、多層化が容易となるという効果を有  
している。さらに、スピノングラス膜中にフッ素を  
含有せしめることによって、吸湿量を著しく抑えることが  
できることから、スルーホール抵抗、歩留りともに向上  
せしめることができ、高信頼性を有する多層配線構造体  
の形成が可能となる。また、電気的にも、絶縁性の高い  
スピノングラス膜の形成が可能となる。したがって、  
本発明は多層配線構造体を有する半導体装置の製造及び  
歩留り・信頼性の向上に寄与できる。

【図面の簡単な説明】

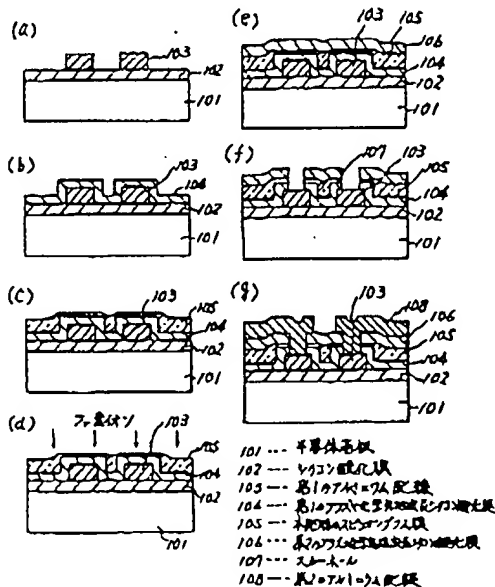
【図1】本発明の実施例を示す工程断面図である。

【図2】従来の多層配線構造体の製造方法によって形成  
した2層アルミニウム配線構造体の断面図である。

【符号の説明】

- 101 半導体基板
- 102 シリコン酸化膜
- 103 第1のアルミニウム配線
- 104 第1のプラズマ化学気相成長シリコン酸化膜
- 105 本発明のスピノングラス膜
- 106 第2のプラズマ化学気相成長シリコン酸化膜
- 107 スルーホール
- 108 第2のアルミニウム配線

【図1】



【図2】

